

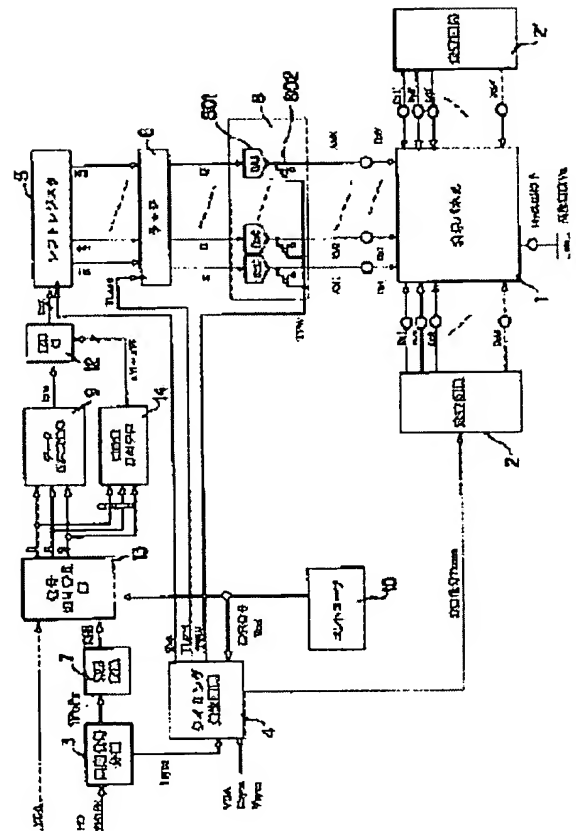
IMAGE DISPLAY DEVICE AND DRIVING METHOD THEREFOR

Patent number: JP2002229506
Publication date: 2002-08-16
Inventor: SAGANO OSAMU
Applicant: CANON INC
Classification:
 - international: G09G3/20; G09G3/22
 - european:
Application number: JP20010028871 20010205
Priority number(s):

Abstract of JP2002229506

PROBLEM TO BE SOLVED: To provide an image display device and a driving method therefor, capable of displaying a high quality picture by calculating a correction amount to a voltage drop with a simple constitution and a less calculation amount, and.

SOLUTION: The image display device which is provided with a display panel 1 comprising a multi-electron source formed by connecting two- dimensionally arranged cold cathode elements in a matrix form with a plurality of row wiring and a plurality of column wiring, and which drives a plurality of the cold cathode elements connected with a single row wiring, comprises a correction amount calculation means 14 for calculating a voltage drop amount at a prescribed number of nodes defined on the row wiring based on each picture signal inputted from a signal switching part 13, and an arithmetic calculation part 12 for calculating a correction amount of each picture signal based on the voltage drop amounts at a plurality of nodes.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-229506

(P2002-229506A)

(43) 公開日 平成14年 8月16日 (2002. 8. 16)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 2 A 5 C 0 8 0
	6 1 2		6 1 2 U
	6 4 1		6 4 1 A
			6 4 1 C
			6 4 1 P

審査請求 未請求 請求項の数16 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2001-28871(P2001-28871)

(22) 出願日 平成13年 2月 5日 (2001. 2. 5)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子 3 丁目30番 2 号

(72) 発明者 嵯峨野 治

東京都大田区下丸子 3 丁目30番 2 号 キヤ

ノン株式会社内

(74) 代理人 100085006

弁理士 世良 和信 (外 2 名)

F ターム (参考) 5C080 AA01 AA06 BB05 CC03 DD05

EE29 FF12 JJ02 JJ03 JJ04

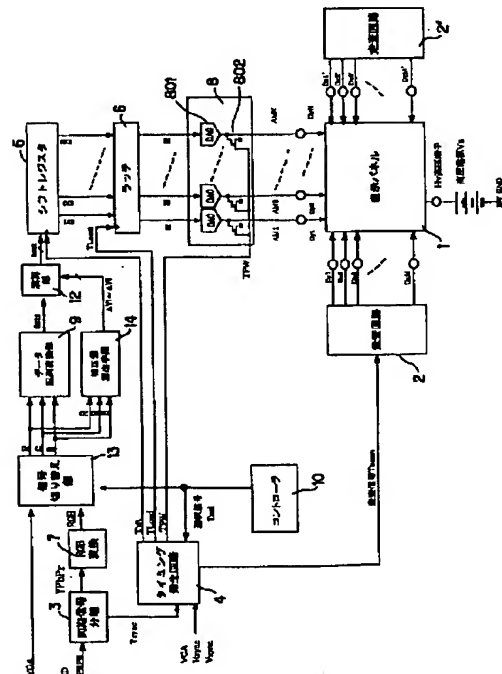
JJ05 JJ06

(54) 【発明の名称】 画像表示装置及び画像表示装置の駆動方法

(57) 【要約】

【課題】 簡易な構成かつ少ない計算量により電圧降下に対する補正量を算出し、高品質な画像を表示することのできる画像表示装置及び画像表示装置の駆動方法を提供する。

【解決手段】 2 次元的に配列された複数の冷陰極素子を複数の行配線と複数の列配線によりマトリクス状に結線してなるマルチ電子源からなる表示パネル 1 を備え、ひとつの行配線に結線された複数の冷陰極素子を同時に駆動する画像表示装置において、信号切り替え部 1 3 から入力された各画像信号に基づき行配線上に定めた所定数のノードにおける電圧降下量を算出する補正量算出手段 1 4 と、複数のノードにおける電圧降下量に基づいて各画像信号の補正量を算出する演算部 1 2 とを有する。



【特許請求の範囲】

【請求項 1】 2 次元的に配列された複数の表示用素子を複数の行配線と複数の列配線によりマトリクス状に結線してなる被駆動部を備え、一つの行配線に結線された複数の表示用素子を同時に駆動する画像表示装置において、

1 行分の各列の画像信号を入力する入力手段と、
行配線上に複数のノードを隣り合うノードの間に複数の列配線が位置するように設定し、入力された画像信号に基づき、各ノードにおける電圧降下量を算出する算出手段と、

前記算出手段によって算出された電圧降下量に基づき、複数の列配線の各々に印加する信号波形を補正する補正手段と、

を有することを特徴とする画像表示装置。

【請求項 2】 前記ノードは隣り合うノードの間に 2 のべき乗個の列配線が位置するように設定される請求項 1 に記載の画像表示装置。

【請求項 3】 1 行分の各列の画像信号をそれぞれが前記複数のノードのそれぞれと対応する複数のブロックに分け、各ブロックごとの画像信号に基づいて前記各ノードにおける電圧降下量を算出する請求項 1 もしくは 2 に記載の画像表示装置。

【請求項 4】 前記複数のブロックは、隣接するノード間に挟まれる列配線に対応する画像信号が一つのブロックになるように設定される請求項 3 に記載の画像表示装置。

【請求項 5】 前記行配線はその両端から選択電位が与えられるものであり、前記ノードは、行配線上の中央近傍で隣接するノード間に位置する列配線の数、行配線上の端部近傍で隣接するノード間の列配線よりも多くなるように設定される請求項 1 乃至 4 のいずれかに記載の画像表示装置。

【請求項 6】 前記行配線はその片端のみから選択電位が与えられるものであり、前記ノードは、行配線上の前記片端の逆側の端部近傍で隣接するノード間に位置する列配線の数、行配線上の前記片端近傍で隣接するノード間に位置する列配線の数よりも多くなるように設定される請求項 1 乃至 4 のいずれかに記載の画像表示装置。

【請求項 7】 前記信号波形は波高値変調を行うための信号波形である請求項 1 乃至 6 のいずれかに記載の画像表示装置。

【請求項 8】 前記信号波形の補正は、前記画像データを補正することにより行う請求項 1 乃至 7 のいずれかに記載の画像表示装置。

【請求項 9】 前記信号波形の補正は、前記画像データに、前記算出手段が算出する電圧降下量を加算することにより行う請求項 1 乃至 8 のいずれかに記載の画像表示装置。

【請求項 10】 前記信号波形の補正は、その波高値を

補正するものである請求項 1 乃至 9 のいずれかに記載の画像表示装置。

【請求項 11】 前記信号波形の補正は、そのパルス幅を補正するものである請求項 1 乃至 9 のいずれかに記載の画像表示装置。

【請求項 12】 前記算出手段によって算出された電圧降下量に基づく前記複数の列配線の各々に印加する信号波形の補正は、前記ノード毎の電圧降下量に基づいて前記行配線上の各列配線の位置での電圧降下量を算出して行う請求項 1 乃至 11 のいずれかに記載の画像表示装置。

【請求項 13】 前記各列配線の位置での電圧降下量の算出は、各ノードの位置での電圧降下量に基づく補間により得る請求項 12 に記載の画像表示装置。

【請求項 14】 前記表示用素子が電子放出素子である請求項 1 乃至 13 のいずれかに記載の画像表示装置。

【請求項 15】 前記電子放出素子が表面伝導型電子放出素子である請求項 14 に記載の画像表示装置。

【請求項 16】 2 次元的に配列された複数の表示用素子を複数の行配線と複数の列配線によりマトリクス状に結線してなる被駆動部を備え、一つの行配線に結線された複数の表示用素子を同時に駆動する画像表示装置の駆動方法において、

1 行分の各列の画像信号を入力する入力ステップと、
行配線上に複数のノードを隣り合うノードの間に複数の列配線が位置するように設定し、入力された画像信号に基づき、各ノードにおける電圧降下量を算出する算出ステップと、

前記算出手段によって算出された電圧降下量に基づき、複数の列配線の各々に印加する信号波形を補正する補正ステップと、

を含むことを特徴とする画像表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の表示用素子をマトリクス配線した表示パネルを備える画像表示装置に関する。

【0002】

【従来の技術】 従来、この種の画像表示装置としては、例えば、特開平 8-248920 において開示されるように、行方向に N 個、列方向に M 個の合計 $N \times M$ 個の冷陰極素子を 2 次元的にマトリクス状に配列し、それらを行方向に設けられた M 本の行配線と列方向に設けられた N 本の列配線によりマトリクス配線してなるマルチ電子源を備えた構成のものが知られている。

【0003】 この画像表示装置は、行配線と列配線の両方に所定の駆動電圧を印加することにより、両配線に接続された冷陰極素子を駆動して電子を放出させ、マルチ電子源に対向配置した蛍光体に電子ビームを照射することによって画像を表示するものである。

【0004】マトリクス配線された多数の冷陰極素子を駆動する場合には、マトリクスの1行分の素子群（1行分の素子群は1本の行配線に接続されている）を同時に駆動する方法が行われている。

【0005】すなわち、1本の行配線に所定の選択電位を印加すると共に、該行配線に接続されたN個の冷陰極素子のうち駆動対象となるものに接続している列配線のみに所定の交調電位を印加することで、1行分の複数の素子を同時に制御している。そして、駆動行を次々と切り替えて全ての行を走査していき、視覚の残像現象を利用して2次元的な画像を形成している。

【0006】この方法によれば、1素子ずつ走査していく方法と比較して、各素子に割り当てられる駆動時間がN倍長く確保されるため、画像表示装置の輝度を高くすることができるという利点がある。

【0007】

【発明が解決しようとする課題】しかしながら、上記のような従来技術の場合には、下記のような問題が生じていた。

【0008】1行分のN個の冷陰極素子は1本の行配線に接続されているが、各素子ごとにその接続位置が異なっているため、1行分の素子群を同時に駆動する場合には、配線抵抗による電圧降下の影響を受けて、各素子の輝度にバラツキが生じてしまう。

【0009】この電圧降下に起因する輝度低下を補償するために、上記特開平8-248920においては、統計演算によりその補正量を算出し、電子線要求値と補正値を合成する構成が提案されている。

【0010】特開平8-248920の第1実施例の構成図を図25に示す。詳細な説明は該公報に書かれているので省略するが、図25に示されるように補正を行うために、各列配線毎に備えられる乗算器1001にて輝度データとメモリ手段1002からの補正データを乗算し、交調信号発生器1003に補正後データを転送する構成が提案されている。

【0011】しかしながら、上記構成においては、各列配線毎に補正量演算が必要であったため、計算量が膨大であるとともに、各列配線毎の乗算器1001、補正データを出力するためのメモリ手段1002及びメモリ手段1002にアドレス信号を与えるための合算器1004などの大規模なハードウェアが必要になってしまうという課題が残されていた。

【0012】本発明は上記の従来技術の課題を解決するためになされたもので、その目的とするところは、簡易な構成かつ少ない計算量により電圧降下に対する補正量を算出し、高品質な画像を表示することのできる画像表示装置及び画像表示装置の駆動方法を提供することにある。

【0013】

【課題を解決するための手段】本願にかかわる画像表示

装置の発明の一つは、2次元的に配列された複数の表示用素子を複数の行配線と複数の列配線によりマトリクス状に結線してなる被駆動部備え、一つの行配線に結線された複数の冷陰極素子を同時に駆動する画像表示装置において、1行分の各列の画像信号を入力する入力手段と、行配線上に複数のノードを隣り合うノードの間に複数の列配線が位置するように設定し、入力された画像信号に基づき、各ノードにおける電圧降下量を算出する算出手段と、前記算出手段によって算出された電圧降下量に基づき、複数の列配線の各々に印加する信号波形を補正する補正手段と、を有することを特徴とする画像表示装置、である。

【0014】この構成により、容易に電圧降下による影響を低減することができる。

【0015】なお、前記ノードは隣り合うノードの間に2のべき乗個の列配線が位置するように設定されると好適である。

【0016】また、前記各発明において、1行分の各列の画像信号をそれぞれが前記複数のノードのそれぞれと対応する複数のブロックに分け、各ブロックごとの画像信号に基づいて前記各ノードにおける電圧降下量を算出する構成が特に好適である。具体的にはブロックごとに画像表示を行った場合に配線に流れる電流量を求め、それによる電圧降下量を求めて、各ブロックによる電圧降下の影響を考慮して各ノードにおける電圧降下量を求めることが可能である。

【0017】また、前記複数のブロックは、隣接するノード間に挟まれる列配線に対応する画像信号が一つのブロックになるように設定されると良い。

【0018】また、前記各発明において、前記行配線はその両端から選択電位が与えられるものであり、前記ノードは、行配線上の中央近傍で隣接するノード間に位置する列配線の数、行配線上の端部近傍で隣接するノード間の列配線よりも多くなるように設定されるか、もしくは、前記行配線はその片端のみから選択電位が与えられるものであり、前記ノードは、行配線上の前記片端の逆側の端部近傍で隣接するノード間に位置する列配線の数、行配線上の前記片端近傍で隣接するノード間に位置する列配線の数よりも多くなるように設定されると好適である。好ましくは選択電位を与える位置からの距離に応じてノード間に位置する列配線の数を変えさせると良い。

【0019】また、上記各発明において、前記信号波形が波高値交調を行うための信号波形である構成を好適に採用できる。

【0020】また、上記各発明において、前記信号波形の補正は、画像データを補正するのではなく画像データに対応した信号波形を形成する際に補正量を考慮して信号波形を形成する構成もとりうるが、画像データそのものを補正する構成、例えば画像データの階調データに補

正を加える構成を採用し、該補正を加えた画像データに基づいて信号波形を形成するようにすると、簡便な構成で補正を実現することができる。

【0021】また、上記各発明において、前記信号波形の補正は、その波高値を補正するものであったり、そのパルス幅を補正するものである構成を採用できる。

【0022】また、上記各発明において、前記算出手段によって算出された電圧降下量に基づく前記複数の列配線の各々に印加する信号波形の補正は、前記ノード毎の電圧降下量に基づいて前記行配線上の各列配線の位置での電圧降下量を算出して行うとよい。ここで、前記各列配線の位置での電圧降下量の算出は、各ノードの位置での電圧降下量に基づく補間により得ることができる。該補間の手法としては簡便には直線近似を用いることができる。

【0023】なお、上記各発明において、補正をするために、画像データを参照して決まる値（実施の形態で示す素子電流量など）と電圧降下量とを関係づけた変換テーブルとして機能するメモリを設ける構成を好適に採用できる。

【0024】また、上記各発明において、前記補正手段は、前記画像信号補正手段により補正された画像信号の値を制限する制限手段を有してもよい。

【0025】また、前記入力手段は、画像信号の値を制限する制限手段を有してもよい。

【0026】また、上記各発明において、前記表示用素子として電子放出素子、好ましくは冷陰極素子を用いることができる。特に表示用素子が表面伝導型放出素子である場合には行配線における電圧降下が発生しやすいことがわかっており、本願発明を特に好適に適用できる。表面伝導型放出素子などの電子放出素子を表示用阻止として用いる場合は、それが放出する電子により発光する発光部材を設けると良い。また、本願発明は例えばEL（エレクトロルミネセンス）素子を表示用素子として用いる構成にも適用できる。

【0027】また本願は画像表示装置の駆動方法として、2次元的に配列された複数の表示用素子を複数の行配線と複数の列配線によりマトリクス状に結線してなる被駆動部備え、一つの行配線に結線された複数の表示用素子を同時に駆動する画像表示装置の駆動方法において、1行分の各列の画像信号を入力する入力ステップと、行配線上に複数のノードを隣り合うノードの間に複数の列配線が位置するように設定し、入力された画像信号に基づき、各ノードにおける電圧降下量を算出する算出ステップと、前記算出手段によって算出された電圧降下量に基づき、複数の列配線の各々に印加する信号波形を補正する補正ステップと、を含むことを特徴とする画像表示装置の駆動方法、の発明を含んでいる。

【0028】

【発明の実施の形態】これまで述べてきたように、表面

伝導型放出素子等の冷陰極素子を単純マトリクス構造に配置した表示装置においては、行配線における電圧降下の影響により、表示画像が劣化するという課題があった。

【0029】本発明は、電圧降下の影響を補正する手段を備えた画像表示装置に関する発明であって、特にそれを比較的小さな回路規模で実現し得るものである。

【0030】以下に図面を参照して、本発明の好適な実施の形態を例示的に詳しく説明する。特に以下に述べる各実施の形態は、電圧降下を補正するための補正量をいくつかの近似を導入することにより小規模なハードウェアで計算をおこない、それに基づいて画像信号に補正を施すことにより、電圧降下の影響による画像の劣化を改善するものである。

【0031】なお、各実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0032】（第1の実施の形態）まず本発明の第1の実施の形態に係る画像表示装置の表示パネルの概観、表示パネルの電気的接続、表面伝導型放出素子の特性から簡単に説明する。

【0033】〈画像表示装置の概観〉図1は、本実施の形態に係る画像表示装置に用いた表示パネル1の斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0034】図中、105はリアプレート、106は側壁、107はフェースプレートであり、リアプレート105、側壁106及びフェースプレート107により表示パネル1の内部を真空に維持するための気密容器を形成している。

【0035】気密容器を作製する際には、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、たとえばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400度～500度で10分以上焼成することにより封着することにより作製することができる。

【0036】リアプレート105には基板101が固定されているが、該基板101上には冷陰極素子102がN×M個形成されている。行配線103及び列配線104及び冷陰極素子102は図2のように接続されている。

【0037】すなわち、行方向にM本の行配線103が、列方向にN本の列配線104が互いに交差するように設けられ、その交差部においては行配線103と列配線104とは絶縁されている。そして、一对の行配線と列配線に1つの冷陰極素子102が接続されるように結線されている。このような結線構造をマトリクス配線又は単純マトリクスと呼ぶ。

【0038】D×1、D×2、・・・、D×Mは各行配

線103に電圧を印加するための接続端子であり、また、 $Dy1$, $Dy2$, ..., DyN は各列配線104に電圧を印加するための接続端子である。

【0039】上記マトリクス配線においては、例えば接続端子 $Dx1$ と接続端子 $Dy2$ にのみ所定の駆動電位を印加することにより、それぞれに印加される電位差によって両配線に結線されている冷陰極素子102aだけを駆動することができる。

【0040】ここでは、基板101、冷陰極素子102、行配線103及び列配線104によって構成される部分をマルチ電子源と呼ぶこととする。

【0041】またフェースプレート107の下面には、発光手段としての蛍光膜108が形成されている。本実施の形態の画像表示装置はカラー表示装置であるため、蛍光膜108の部分にはCRTの分野で用いられる赤、緑、青の3原色の蛍光体が塗り分けられている。蛍光体は、リアプレート105の各画素（絵素）に対応してマトリクス状に形成された、冷陰極素子102からの放出電子（放出電流、電子ビームとも称す。）の照射される位置に対して、画素を形成するように構成されている。

【0042】蛍光膜108の下面にはメタルバック109が形成されている。図中の Hv は高压端子でありメタルバック109に電氣的に接続されている。 Hv 端子に高電圧を印加することによりリアプレート105とフェースプレート107の間に電位差が生じる。すなわち、メタルバック109は冷陰極素子102からの放出電子を引きつけるアノード電極として作用している。

【0043】本実施の形態では以上のような表示パネル1の中に冷陰極素子として表面伝導型放出素子を作製した。

【0044】〈表面伝導型放出素子の特性〉表面伝導型放出素子は、概略、2つの電極とその間に形成された電子放出部とからなる。2つの電極のそれぞれは行配線103と列配線104に電氣的に接続されており、両電極に所定の電位（その電位差が素子駆動電圧 Vf となる）を印加すると、前記電子放出部から電子が放出される。ここで、放出電子による電流を放出電流 Ie と呼び、両電極間に流れる電流を素子電流 If と呼ぶ。

【0045】典型的な表面伝導型放出素子は、図3のような（放出電流 Ie ）対（素子駆動電圧 Vf ）特性、および（素子電流 If ）対（素子駆動電圧 Vf ）特性を有する。なお、放出電流 Ie は素子電流 If に比べて著しく小さく、同一尺度で図示するのが困難であるため、2本のグラフは各々異なる尺度で図示した。

【0046】すなわち、放出電流 Ie に関して以下に述べる3つの特性を有していることがわかる。

【0047】第一に、ある電圧（これを閾値電圧 Vth と呼ぶ）以上の電圧を素子に印加すると急激に放出電流 Ie が増加するが、一方、閾値電圧 Vth 未満の電圧では放出電流 Ie はほとんど検出されない。すなわち、表

面伝導型放出素子は、放出電流 Ie に関して、明確な閾値電圧 Vth を持った非線形素子であるといえる。

【0048】第二に、放出電流 Ie は素子に印加する素子駆動電圧 Vf に依存して変化するため、素子駆動電圧 Vf を変化させることにより、放出電流 Ie の大きさを制御できる。

【0049】第三に、冷陰極素子は高速な応答性を有しているため、素子駆動電圧 Vf の印加時間により放出電流 Ie の放出時間を制御できる。

【0050】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができることを発明者らは見出している。たとえば図1に示した表示パネル1を用いた画像表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 Vth 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 Vth 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0051】また、第二の特性を利用することにより、素子に印加する素子駆動電圧 Vf の大きさにより、蛍光体の発光輝度を制御することができ、階調画像の表示及び画像品質の調整が可能である。

【0052】また、第三の特性を利用することにより、素子に素子駆動電圧 Vf を印加する時間により、蛍光体の発光時間を制御することができ、階調画像の表示及び画像品質の調整が可能である。

【0053】なお、本実施の形態の画像表示装置においては、上記第二の特性を利用して表示パネル1の電子ビームの量の変調を行った。

【0054】各部の電圧の設定は、行配線に印加する選択電位 Vs を $-0.5VSEL$ （ここで $VSEL$ とは、最大輝度を与える場合の選択電位と変調電位の電位差の絶対値である。）とし、画像データが0のときに列配線に印加する変調電位 VOL を $Vth+Vs$ 、画像データが最大のときに列配線に印加する変調電位 VOH を $VSEL+Vs$ とした。すなわち、 $VOL=Vth-0.5VSEL$ 、 $VOH=0.5VSEL$ となる。

【0055】〈システム全体と各部分の機能説明〉図4はその回路構成の概略を示すブロック図である。図において1は表示パネル、 $Dx1\sim DxM$ 及び $Dx1'\sim DxM'$ は表示パネル1の行配線の接続端子、 $Dy1\sim DyN$ は表示パネルの列配線の接続端子、 Hv はフェースプレート107とリアプレート105の間に加速電圧を印加するための高压端子、 Va は高压電源、2は走査回路、3は同期信号分離回路、4はタイミング発生回路、7は同期分離回路により $YPbPr$ 信号をRGB信号に変換するためのRGB変換回路、13はHDのRGB信号とVGA信号とを切り替えるとともに、画像信号を入力する入力手段としての機能もそなえた信号切り替え

部、5は画像データ1ライン分のシフトレジスタ、6は画像データ1ライン分のラッチ回路、8は表示パネル1の列配線に変調信号を出力する変調手段、10はコントローラ、12は画像データと補正量を演算し、補正された画像信号Doutを出力する演算部、14は補正量算出手段である。以下に各部分の機能について簡単に説明する。

【0056】〈同期分離回路、タイミング発生回路〉本実施の形態の画像表示装置は、HD方式の映像信号とコンピュータなどの出力であるVGA信号をとともに表示することができる。ただし本実施の形態は一つの例であって、NTSCや、PAL、SECAMなどの他の規格に対しても同様に適用可能である。

【0057】VGA信号は、信号切り替え部13へと供給されるとともに、その同期信号Vsync、Hsyncがタイミング発生回路4へと供給される。

【0058】一方、HD方式の映像信号の場合は、まず同期信号分離回路3により同期信号Tsync（垂直同期、水平同期を含む）が分離され、タイミング発生回路4に供給される。そして、YPbPr信号がRGB変換回路7に供給される。RGB変換回路7の内部には、YPbPrからRGBへの変換回路の他に、不図示のローパスフィルタやA/D変換器などが設けられており、YPbPrから変換されたデジタルRGB信号は信号切り替え部13へと供給される。

【0059】〈信号切り替え部、コントローラ、タイミング発生回路〉信号切り替え部13はVGAとHDの選択を行う回路であり、コントローラからの選択信号Tselに応じて映像ソースの切り替えを行う。

【0060】コントローラ10は、不図示のリモコンや、スイッチなどによって選択すべき映像ソースを設定されると、各部に選択信号Tselを供給する。

【0061】タイミング発生回路4は、選択信号Tselに基づいて選択されている側の映像ソースの同期信号に同期して、各部の動作タイミングを決定する。すなわち、タイミング発生回路4はシフトレジスタ5の動作タイミングを制御するTsft、シフトレジスタ5からラッチ回路6へデータをラッチするための制御信号Tload、変調手段8の出力を制御するTPW、走査回路2の動作を制御するTscanほかの信号を発生して各部の動作のタイミングをとるものである。

【0062】〈走査回路〉走査回路2及び2'は、表示パネル1を順次1行ずつ走査するために、接続端子Dx1～DxMに対して選択電位Vsまたは非選択電位Vnsを出力する回路である。

【0063】走査回路2及び2'はタイミング発生回路4からのタイミング信号Tscanに同期して、一水平期間ごとに、選択している走査配線を順次切り替え、走査を行う回路である。

【0064】なおTscanは垂直同期信号及び水平同

期信号などから作られるタイミング信号群である。

【0065】走査回路2及び2'は、図5に示すようにそれぞれM個のスイッチ201とシフトレジスタ202などから構成される。これらのスイッチはトランジスタやFETにより構成するのが好ましい。

【0066】なお、行配線での電圧降下を低減するためには、図4に示すように走査回路2及び2'を表示パネル1の行配線の両端に接続し、両端からドライブすることが好ましい。もちろん、本発明は走査回路が行配線の両端に接続されていない場合でも有効であり、後述の補正手段のパラメータを変更するだけで適用可能であることは言うまでもない。

【0067】本実施の形態では走査回路2及び2'の出力する選択電位Vsを-0.5VSEL、非選択電位Vnsは0Vに設定した。

【0068】〈データ配列変換部〉データ配列変換部9は信号切り替え部13から受けたデジタルRGB信号を表示パネル1の画素配列に合わせて配列変換する回路である。データ配列変換部9の構成は図6に示したようにRGB各色ごとのFIFOメモリ901R、901G、901Bとセクタ902から構成される。

【0069】同図では図示していないが、FIFO（First-In First-Out）メモリ901R、901G、901Bは1水平期間分のFIFOを奇数ライン用と偶数ライン用の2本備えている。

【0070】奇数行目の映像データが入力された際には、奇数ライン用のFIFOにデータが書き込まれる一方、偶数ライン用のFIFOメモリから一つ前の水平期間に蓄積された画像信号が読み出される。偶数行目の映像データが入力された際には、偶数ライン用のFIFOにデータが書き込まれる一方、奇数ライン用FIFOメモリから一つ前の水平期間に蓄積された画像信号が読み出される。

【0071】FIFOメモリから読み出されたデータは、セクタ902により表示パネル1の画素配列にしたがって、RGBの画像信号がパラレル/シリアル変換され出力される。これらの動作タイミングはタイミング発生回路4（図4）からのタイミング制御信号に基づいて動作する。

【0072】〈補正量算出手段及び演算手段の簡単な説明〉補正量算出手段14及び演算部12については詳細な説明は後で述べることとして、その機能を簡単に説明する。信号切り替え部13から出力されたデジタル映像信号RGBはデータ配列変換部9に入力されるのと並列に補正量算出手段14に入力される。

【0073】補正量算出手段14は、後述する補正量算出方法により、複数の分割したブロックごと（正確には後で説明するノードごと）の電圧降下量を算出する回路（算出手段）である。ブロックごとに算出された電圧降下量は、ブロックとブロックの間を直線近似により補間

される。補間された電圧降下量は、演算部12において画像信号に加算され、補正された画像信号 $Dout$ としてシフトレジスタ5へと出力される。

【0074】これらの動作タイミングはタイミング発生回路4からのタイミング制御信号に基づいて動作する。

【0075】〈シフトレジスタ、ラッチ回路〉演算部12の出力である画像データ $Dout$ は、シフトレジスタ5により、シリアルなデータフォーマットから、各列配線毎の平行な画像信号 $ID1 \sim IDN$ へとシリアル／パラレル変換され、1水平期間が開始される直前に、タイミング信号 $Tload$ により、ラッチ回路6にロードされる。ラッチ回路6の出力は、平行な画像信号 $D1 \sim DN$ として変調手段8へと供給される。

【0076】なお本実施の形態では画像信号 $ID1 \sim IDN$ 、 $D1 \sim DN$ はそれぞれ8ビットの画像信号とした。これらの動作タイミングはタイミング発生回路4からのタイミング制御信号 Tst 及び $Tload$ に基づいて動作する。

【0077】〈本実施の形態の変調手段〉ラッチ回路6の出力である平行画像信号 $D1 \sim DN$ は振幅変調手段8へと供給される。変調手段8は、図4に示したように、各列配線ごとにDAコンバータ(DAC)801とスイッチ802を備えている。DAC801は、図7に示すような入出力特性を備えている。

【0078】前述のラッチ回路6は平行画像信号 $ID1 \sim IDN$ を1水平期間に1回ロードするため、DAC801へのデータ $D1 \sim DN$ も1水平期間に1回書き換えられることとなる。

【0079】スイッチ802は、DAC801がセトリング期間中に異常な電位を出さないように設けられたものであり、このスイッチ802によりDAC801がセトリング期間中は、 $AM1 \sim AMN$ の電位はグランド電位が出力される。また同スイッチ802が短絡状態の間はDAC801の出力は出力されないよう、出力ディスエーブル機能を設けた。

【0080】〈本実施の形態の電圧降下量算出方法〉図8は、行配線における電圧降下の様子を説明するための図である。

【0081】同図では選択行配線103での電圧降下には寄与しない非選択行の行配線及び表面伝導型放出素子は省略した。また列配線104には電流が集中しないため、そこでの電圧降下は影響ないものとし、列配線104の抵抗分は無視している。

【0082】図示の行配線103は選択行であるため、両端に $-0.5VSEL$ の選択電位 Vs が印加されている。列配線104には振幅変調信号を発生するためのDAC801が各列配線104ごとに接続されており、DAC801への入力データに応じてDAC801の出力電位 AMi (i は列番号、 $i=1, 2, \dots, N$) が可変する。

【0083】ここで各列配線104に出力される電流を $I fi$ (i は列番号、 $i=1, 2, \dots, N$) とした。

【0084】画像信号に応じて図7に示す振幅の変調信号を列配線104に印加すると、図8の(b)に示したように、各列配線104から選択されている行配線103への電流の流れ込みにより行配線103上で電圧降下を生じる(すでに特開平8-248920において示されているとおりである。)

【0085】本実施の形態では、行配線103に印加する選択電位 Vs を $-0.5VSEL$ というマイナス電位に設定しており、列配線に印加する電位はそれよりも高い電位としているため、行配線103上の電圧降下によって、行配線103上の電位は、同図(b)のように上昇する。この電圧降下のため、選択行の表面伝導型放出素子102の両端にかかる電圧が低下してしまうため、表面伝導型放出素子102からの放出電流が低下してしまうことが従来からの課題であった。

【0086】本実施の形態では、行配線103上で発生する電圧降下量を予想し、列配線104に印加する変調信号の振幅値にその電圧降下量を加算した電位を印加する。これにより行配線103上で電圧降下が発生しても、表面伝導型放出素子102の両端に所望の電圧を印加することができ、放出電流への行配線上の電圧降下の影響を除去するものである。

【0087】本発明者らは、行配線103上に発生する電圧降下の値を予測するために表示パネルの下記の1)～3)の3つの特性を考慮した。

【0088】1) 図3の Vf 対 $I f$ 特性および、図7の変調手段の入出力特性から、入力画像データから素子電流 $I f$ の値を求めることができること。

【0089】2) 図3の Vf 対 $I f$ 特性カーブにおいて、表面伝導型放出素子の両端に電圧 VFO を印加したときの素子電流を $I f0$ と定義すると、逆に $I f0$ の素子電流を表面伝導型放出素子に注入すれば、素子の両端に電圧 VFO が発生すること。

【0090】3) 列配線1に素子電流 $I f1$ 、列配線2に素子電流 $I f2$ 、 \dots 、列配線 N に素子電流 $I fN$ を流したときに選択されている行配線に発生する電圧降下は、いわゆる重ねの理が成り立ち、各列配線に個々に素子電流を流したときに発生する電圧降下を重ね合わせた電圧降下量として簡単に計算できること(詳細は以下に説明する。)

【0091】従来の画像表示装置においては、入力される画像データに応じて、図7に示したDACの入出力特性によって定まる電位を各列配線に印加していた。この場合、各列配線からの変調手段から、選択されている行配線に流入する素子電流により、選択されている行配線上で発生する電圧降下のため、選択行の表面伝導型放出素子には、選択電位 Vs と変調電位との電位差によって

定まる電圧が印加されず、表面伝導型放出素子からの電子放出量が影響をうけていた。

【0092】これに対し、本実施の形態では、まず画像データを1)の特性に従って流すべき素子電流値に変換し、その素子電流を流したときの行配線上での電圧降下量を3)の特性に従って計算を行った。さらに、その電圧降下量分をオフセットさせた変調電位を各列配線に印加すれば、選択行の表面伝導型放出素子の各々には、所望の電圧が印加され(即ち、所望の素子電流が流れ、さらに選択された行配線上には3)の特性により定まる電圧降下が発生するため)、電圧降下の影響なく画像の表示が可能となった。

【0093】図9は上記3)の特性をもとに、行配線上の電圧降下を算出した例である。

【0094】同図では簡便化のため列の本数を4とし、行配線については、図507同様、選択行以外は省略した。また選択行の電位は簡便化のためグランド電位とした(選択電位が $-0.5V_{SEL}$ の場合にはその分だけオフセット電位を加算すればよい。)

【0095】またある列とその隣の列のあいだの行配線の抵抗値を r としすべての区間で共通とした。また、行配線取り出し部の抵抗も r とした。また列配線と行配線の間に接続される表面伝導型放出素子は計算上必要ないため省略した。

【0096】図9(a)は列配線1のみに電流 I_{f1} を注入した場合の例である。このとき $\Delta V_1 \sim \Delta V_4$ に発生する電位は、同図右の折れ線のようになり(折れ線の高低は電位を表している)、グランド電位に対して以下の電位差が発生する。

$$\begin{aligned}\Delta V_1 &= 4/5 \times r \times I_{f1} \\ \Delta V_2 &= 3/5 \times r \times I_{f1} \\ \Delta V_3 &= 2/5 \times r \times I_{f1} \\ \Delta V_4 &= 1/5 \times r \times I_{f1}\end{aligned}$$

【0097】同様に図9(b)は列配線2のみに電流 I_{f2} を注入した場合の例である。このとき $\Delta V_1 \sim \Delta V_4$ に発生する電位は、同図右の折れ線のようになり、グランド電位との間に以下の電位差が発生する。

$$\begin{aligned}\Delta V_1 &= 3/5 \times r \times I_{f2} \\ \Delta V_2 &= 6/5 \times r \times I_{f2} \\ \Delta V_3 &= 4/5 \times r \times I_{f2} \\ \Delta V_4 &= 2/5 \times r \times I_{f2}\end{aligned}$$

【0098】同様に図9(c)は列配線3のみに電流 I_{f3} を注入した場合の例である。このとき $\Delta V_1 \sim \Delta V_4$ に発生する電位は、同図右の折れ線のようになり、グランド電位との間に以下の電位差が発生する。

$$\begin{aligned}\Delta V_1 &= 2/5 \times r \times I_{f3} \\ \Delta V_2 &= 4/5 \times r \times I_{f3} \\ \Delta V_3 &= 6/5 \times r \times I_{f3} \\ \Delta V_4 &= 3/5 \times r \times I_{f3}\end{aligned}$$

【0099】同様に図9(d)は列配線4のみに電流 I_{f4}

I_{f4} を注入した場合の例である。このとき $\Delta V_1 \sim \Delta V_4$ に発生する電位は、同図右の折れ線のようになり、グランド電位との間に以下の電位差が発生する。

$$\begin{aligned}\Delta V_1 &= 1/5 \times r \times I_{f4} \\ \Delta V_2 &= 2/5 \times r \times I_{f4} \\ \Delta V_3 &= 3/5 \times r \times I_{f4} \\ \Delta V_4 &= 4/5 \times r \times I_{f4}\end{aligned}$$

【0100】これらの間には前述の3)の特性により、重ねの理が成り立つため、列配線1~4に素子電流 $I_{f1} \sim I_{f4}$ を注入したときに $\Delta V_1 \sim \Delta V_4$ に発生する電位は、数1に従う。

【0101】

【数1】

$$\begin{pmatrix} \Delta V_1 \\ \Delta V_2 \\ \Delta V_3 \\ \Delta V_4 \end{pmatrix} = \frac{r}{5} \begin{pmatrix} 4 & 3 & 2 & 1 \\ 3 & 6 & 4 & 2 \\ 2 & 4 & 6 & 3 \\ 1 & 2 & 3 & 4 \end{pmatrix} \begin{pmatrix} I_{f1} \\ I_{f2} \\ I_{f3} \\ I_{f4} \end{pmatrix}$$

【0102】本例では列配線が4つの簡単なモデルについて説明を行ったが、列の本数がさらに多い場合や、配線の抵抗値が不均等になっても、定数などは変化するが、原理的にこの法則が成り立つことを確認した。

【0103】画像表示装置としては、列配線の本数は数100以上の本数になるが、列配線の本数が増えても上述の計算方法を各列配線に対して繰り返すことにより、選択されている行配線上の電圧降下量を計算することが可能である。

【0104】上述の演算は、列配線が N 本ある表示パネルに対しては数2に示したマトリクス演算になる。しかし、数2の演算を1水平期間に同期して行うためには、計算量が非常に多いため、大規模なハードウェアが必要である($N \times N$ の積和演算を N 回行う必要がある。)

【0105】

【数2】

$$\begin{pmatrix} \Delta V_1 \\ \Delta V_2 \\ \Delta V_3 \\ \vdots \\ \Delta V_N \end{pmatrix} = \begin{pmatrix} a_{11} & a_{12} & \dots & a_{1N} \\ a_{21} & a_{22} & \dots & a_{2N} \\ a_{31} & a_{32} & \dots & a_{3N} \\ \vdots & \vdots & \ddots & \vdots \\ a_{N1} & a_{N2} & \dots & a_{NN} \end{pmatrix} \begin{pmatrix} I_{f1} \\ I_{f2} \\ I_{f3} \\ \vdots \\ I_{fN} \end{pmatrix}$$

ここで、 a_{ij} ($i=1 \sim N$, $j=1 \sim N$)は配線抵抗の値により定まる定数である。

【0106】そこで発明者らは、計算を簡略化するために、図10(a)に示すような表示パネルを図10

(b)のように縮退させた近似モデルにより電圧降下量の近似解を計算することとした。

【0107】すなわち、同図に示すように、以下のようなモデル化を行った。

【0108】・ N 本ある列配線を4つのブロックに分けた($n=N/\text{Block}$ 、ただし $\text{Block}=4$)。

【0109】・各ブロックの中央にブロック内の素子電

流の総和が行配線へ流れ込むこととした。

【0110】・ブロックの境界となる位置においてノードP1～P5を定義し、ノードP1～P5の電位と選択された行配線の供給端電位（Vs）との電位差（電圧降下量）を $\Delta V1 \sim \Delta V5$ とした（ノードをブロックとブロックの境界の位置で定義しているため、後述する直線近似をする際に計算がしやすくなる。）。

【0111】・隣り合うノード間の抵抗は、縮退させたことを考慮し抵抗値をn倍した。

【0112】なお、図10（b）の近似モデルにおける $\Delta V1 \sim \Delta V5$ は図9と同様に数3に示したマトリクス演算により簡単に計算することができる。

【0113】

【数3】

$$\begin{pmatrix} \Delta V1 \\ \Delta V2 \\ \Delta V3 \\ \Delta V4 \\ \Delta V5 \end{pmatrix} = \begin{pmatrix} b11 & b12 & b13 & b14 \\ b21 & b22 & b23 & b24 \\ b31 & b32 & b33 & b34 \\ b41 & b42 & b43 & b44 \\ b51 & b52 & b53 & b54 \end{pmatrix} \begin{pmatrix} IF1 \\ IF2 \\ IF3 \\ IF4 \end{pmatrix}$$

【0114】なお、IFjはブロックjの電流値Ifの総和である。ある列配線の電流Ifは、図7の変調手段の入出力特性と図3の表面伝導型放出素子の特性から求めることができる。したがってIFjは、一水平期間分の画像データを複数のブロックにわけ、それぞれに対する素子電流をもとめ、それを各々のブロックに関して加算すれば簡単に計算することができる。

【0115】またbijは行配線の端部を基準としたときの、j番目のブロックに単位電流を注入したときのi番目のノードの電位である。これは、配線抵抗の値などにより定まる定数であって、キルヒホフの法則にしたがって簡単に計算することができる。

【0116】したがって、数3の計算を行うことで、ノードP1～P5における電圧降下の値 $\Delta V1 \sim \Delta V5$ を近似的に求めることができる。

【0117】次に、本実施の形態においては、ノードとノードの間に位置する列配線における電圧降下量は、数4に基づき、二つのノードにおける電圧降下量 ΔV_k 、 ΔV_{k+1} から直線近似することにより求めた。

【0118】

【数4】

$$\Delta V(x) = \frac{\Delta V_k * (X_{k+1} - x) + \Delta V_{k+1} * (x - X_k)}{X_{k+1} - X_k}$$

【0119】前述のようにノードの位置をブロックの境界に定義したことにより、一番端のブロックにおいてもブロックの内部の点における電圧降下量を簡単に直線近似することができるというメリットがあった（言い換えればブロックの中央でノードを定義するよりも一番端のブロックにおける直線近似を簡単に行うことができる。）。

【0120】上記の例ではブロックの数を4つにした例

をあげたが、さらにブロックの数を増やすことにより近似の誤差を低減できることは言うまでもない。行配線に発生する電圧降下のカーブは滑らかな曲線であるため、ブロックの数を十分多くすれば、この直線近似による近似誤差は実用上ほとんど問題がないことを本発明者らは確認している。

【0121】ブロックの数は、配線抵抗の値、表面伝導型放出素子の特性、変調電圧、列配線の本数やそれにより生じる誤差などを考慮して最適な値を選べばよい。

【0122】また計算量としては、近似を行う前にはN個の積和演算をN回繰り返さなければならなかったが、数3のマトリクス演算に示されるように、積和演算を（Block）×（Block+1）回繰り返せばよく、非常に計算量を低減させることができる（上述の例では、Block=4のため、4×5=20回の積和演算でよい。一般にこの程度の計算は一水平期間に対し、十分短い時間で実行できる。）。

【0123】以上のようにして計算される電圧降下量を列配線に印加する変調電位に加算し、その分だけオフセットして列配線に印加すれば、各表面伝導型放出素子から放出される放出電流は、行配線上の電圧降下の影響を受けない。

【0124】したがってこのような補正を施すことで、これまでの課題であった電圧降下の影響による画像の劣化を改善することができる。

【0125】また、すべての列配線に対して計算を行わず、上述の計算方法により、近似を行って計算を行うことにより、数2の大規模なマトリクス演算が必要であったものが、数3のマトリクス演算と、数4の直線近似により計算できるため、計算量を格段に減少させることができた。

【0126】また、計算量を減少させたことにより、以下に述べるように非常に簡単な構成のハードウェアによって数3及び数4の計算を実現することができる。

【0127】〈補正量算出手段の詳細な説明〉補正量算出手段14は図11のように ΣIf 計算部400と電圧降下算出部410の2つの部分から構成される。

【0128】 ΣIf 計算部400は、1水平期間の映像信号を複数のブロックに分割し、個々のブロックの素子電流Ifの総和を算出する第1演算手段を構成している。同図において401は画像データをIfの値に変換する変換手段としての変換テーブルである。また402はセクタ、403は加算器、405は算出されたブロックごとのIfの総和（IF）を記憶するためのレジスタA1～A4を備えた ΣIf 用レジスタ群である。

【0129】入力されたRGBパラレルなデジタル画像信号は、セクタ402により切り替えられ、シリアル画像データに変換され、変換テーブル401に出力される。変換テーブル401は、図7に示した（画像信号）対（駆動電位）の関係と図3に示した（駆動電圧）対

(素子電流 I_f) の関係から作成したテーブルであって、画像データを素子電流 I_f に変換する。その後、加算器403によりブロックのエリアごとに加算される。ブロックごとに求められた I_f の値は計算完了とともに、レジスタA1～A4に記憶される。

【0130】電圧降下算出部410は、4入力1出力のセクタ411、積算器412、加算器413、及び計算結果を格納するためのレジスタB1～B5、数3のマトリクスを格納するためのパターンメモリ414から構成される。

【0131】ここで、電圧降下算出部410が第2演算手段を構成しており、パターンメモリ414には、数3のマトリクスの要素、すなわち各ノード間の配線抵抗から求められたパラメータが記憶されている。

【0132】 ΣI_f 計算部400において、ブロックごとの I_f が算出されると、セクタ411は適宜 I_f の値を選択する。それと同期してパターンメモリ414から数3のマトリクスの要素が適宜読み出されて、積算器412で積算をされ、加算器413へと転送される。加算器413では数3のマトリクス演算をするために積算器412からのデータを適宜加算し、計算完了とともにレジスタB1～B5に格納する。

【0133】図4に図示した、タイミング発生回路4は数3の演算が行われるように、セクタ411、パターンメモリ414、積算器412、加算器413、レジスタB1～B5のタイミングコントロールを行う。

【0134】以上の処理を行うことにより、 $\Delta V_1 \sim \Delta V_5$ までの電圧降下量が算出され演算部へと転送される。なお、 $\Delta V_1 \sim \Delta V_5$ はデジタル信号である。

【0135】〈演算部の詳細〉演算部12は、補正量算出手段14により計算された各ノードの電圧降下量 $\Delta V_1 \sim \Delta V_5$ を直線近似(線形補間)して各列配線の電圧降下補正量を計算し、画像データに加算する画像信号補正手段である。

【0136】列アドレス x における電圧降下量 $\Delta V(x)$ は、列配線 x の属しているブロックを k とすると、 ΔV_k と ΔV_{k+1} 及び、それぞれのノードの列アドレス X_k 、 X_{k+1} により、数4にしたがって計算することができる。図12は数4を模式的に示した図である。ここで数4に基づいて求められた電圧降下量 $\Delta V(x)$ がすなわち列アドレス x の列配線に対する電圧降下補正量となる。

【0137】演算部12は、データ配列変換部9から画像データ $Data$ が転送されるのに同期して、補正量算出手段14で算出される $\Delta V_1 \sim \Delta V_5$ を読み出し、数4にしたがって各列アドレスに対する電圧降下補正量を直線近似により計算し、画像データ $Data$ に加算する。

【0138】演算部12の構成を図13に示す。同図において301、302はセクタ、303、304は積

算器、305、309は加算器、306は割り算器、307、308は減算器である。

【0139】セクタ303及び304は、補正量算出手段14の電圧降下算出部410において $\Delta V_1 \sim \Delta V_5$ の電圧降下量が計算されると、画像データ $Data$ が転送されるのに同期して $\Delta V_1 \sim \Delta V_5$ の電圧降下量を適宜選択し積算器303へ供給する。

【0140】減算器307、308はそれぞれ、タイミング発生回路4から転送された列アドレス x と X_k のアドレス及び X_{k+1} のアドレスから $x - X_k$ 及び $X_{k+1} - x$ を演算し、積算器303、304へ出力する。

【0141】積算器307は数4の分子の第一項の積算を行い、積算器308は第二項の演算を行い、加算器305に結果を転送する。

【0142】加算器305は数4の分子の計算を行い、割り算器306に結果を転送する。

【0143】割り算器306では、加算器305から受けた数4の分子を $X_{k+1} - X_k$ の値で割り算をし、加算器309に転送する。ここで得られた結果が、列アドレス x の列配線の電圧降下補正量となる。

【0144】加算手段としての加算器309は入力画像データ $Data$ に電圧降下補正量を加算し、補正後の画像データ $Do ut$ をシフトレジスタ5に転送する。上述の各部はタイミング発生回路4のタイミング制御に基づいて動作しており、入力される画像データ $Data$ の列アドレスと補正量の列アドレスは加算器309に入力される時点で同期していることは言うまでもない。

【0145】なお、上記例では割り算器306を備えた例を示したが、より好ましくは、1つのブロック内の列配線の本数を2のべき乗に選択することが好ましい。なぜならブロック内の列配線の本数が2のべき乗であるならば、上述の割り算器306はビットシフト回路に置き換えることで、非常に簡単に実現することができるからである。また減算器307、308も1つのブロックの列配線本数を2のべき乗に選択すれば簡単なデコード回路で構成できるため、非常にメリットがある。

【0146】さらに表示パネルの列配線の総本数が2のべき乗の倍数でない場合でも、それに近い値であるならば、ブロック内の列配線の本数を2のべき乗の値に選択し、端数は無視することでハードウェアを簡単に実現できるなど非常にメリットがある。

【0147】例えば水平方向の画素数が640(列配線本数=1920(1画素につきRGB3本の列配線が必要となる。))の画像表示装置では1ブロックに対する列配線本数を128とし、ブロック数を15とした。

【0148】また別の例で水平方向の画素数が852(列配線本数=2556)の画像表示装置では1ブロックに対する列配線本数を256本とし、ブロック数を10とした。端数の4本は、電流の流入のない配線が両端のブロックに仮想的に存在するものとした。

【0149】上記の演算部12は、電圧降下補正量を直線近似により補間することでブロックごとの補正量を滑らかにする効果があるが、ブロック分割数を多くすれば、あえて直線近似を行う必要はなく、補正量算出手段からのブロックごとの電圧降下量をそのまま画像データに加算しても良好に画像表示を行うことができた。

【0150】また分割するブロックに対する列配線の本数は、必ずしも同じである必要はない。

【0151】とくに、行配線上に発生する電位分布の形状は、上に凸のカーブであってその傾きは行配線の端部に行くほど、急な勾配となる特徴をもっている（図8（b））。この特徴を考慮すれば、行配線の端部に行くほど細かく、中央部ほど荒くブロックを分割することにより、ブロックの数を多くしなくても、誤差を低減することができ、さらに計算量を減少させることができるなどのメリットがある（不均等に分割した場合には、それに応じてパラメータを変更すればよい。）。

【0152】また、上記の例では直線近似により、ブロック内の電圧降下補正量を補間したが、特にこれにこだわることはなく、多項式近似など別の近似方法により、補間をおこなっても構わない。

【0153】また、上記の補正量算出手段14及び演算部12において、補正量を算出するビット幅は必ずしも画像データと同じ幅を持つ必要はない。例えば、補正量の最大値が50ならば、ビット数としては6ビット幅で演算を行い、画像データの低位6ビットに補正量を加算すればよい。

【0154】〈各部の動作タイミング〉図14及び図15に各部の動作タイミングのタイミングチャートを示す。図15（a）、（b）、（c）はそれぞれ図14の501、502、503の部分の詳細に示したものである。

【0155】なお、同図においてHDは水平同期信号、DotCLKはタイミング発生回路4の中のPLL回路により水平同期信号HDから作成したクロック、R、G、Bは信号切り替え部13からのデジタル画像信号、Dataはデータ配列変換後の画像信号、Doutは電圧降下補正を施されたあとのデジタル画像信号、TSFTはシフトレジスタ5へ画像データDoutを転送するためのシフトクロック、TLoadはラッチ回路6へデータをラッチするためのロードパルス、TPWは変調手段8のスイッチ802を制御するタイミングであって、同信号がHighの期間は変調手段8の出力は接地される。変調信号AM1は列配線1へ供給される振幅変調信号の一例である。

【0156】1水平期間の開始とともに、信号切り替え部13からデジタル画像信号RGBが転送される。データ配列変換部9では1水平期間の間、画像データを記憶した後、表示パネル1の画素配置に合わせてRGBのデジタル画像信号の並び替えを行い次の水平期間に出

力する。

【0157】デジタル画像信号RGBは同時に補正量算出手段14に入力される。補正量算出手段14は、図11に示したように、ΣIf計算部400において、画像信号RGBの入力とともにブロックごとの素子電流の総和を計算し、計算終了とともにレジスタA1～A4へ演算結果IF1～IF4を記憶させる。

【0158】最後のブロックのIF4の計算が終了するとともに、電圧降下量算出部では、数3にしたがって $\Delta V1 \sim \Delta V5$ の補正量を適宜計算し、計算終了とともにレジスタB1～B5に計算結果をストアする。

【0159】次の走査期間に移り、データ配列変換された画像データDataが演算部12へ転送されるのに同期して、演算部12では数4に基づいて、ノードとノードの間の補正量を直線近似によって計算し、画像データDataに加算し、シフトレジスタ5へ補正された画像データDoutを転送する。

【0160】シフトレジスタ5はTsftにしたがって、一水平期間分の画像データDoutを記憶するとともにシリアル／パラレル変換をおこなってパラレルな画像データID1～IDNをラッチ回路6に出力する。

【0161】ラッチ回路6はTloadの立ち上がりにしたがってシフトレジスタ5からのパラレル画像データID1～IDNをラッチし、ラッチされた画像データD1～DNを変調手段8へと転送する。

【0162】変調手段8は図4に示したように、DAC801とスイッチ802などから構成されており、図7に示した入出力特性に従って、画像データD1～DNに相当する振幅の振幅変調信号AM1～AMNを各列配線へ供給する。AM1の一例を図14に示す。これらの振幅変調信号AM1～AMNは入力画像データと、その水平期間における電圧降下の補正量から決定される振幅の信号となる。本実施の形態の画像表示装置（図4）はこのようなタイミングに従って画像の表示を行った。

【0163】このような画像表示装置により画像の表示を行ったところ、従来からの課題であった行配線における電圧降下による影響を抑制することができ、該電圧降下に起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

【0164】また、数3及び数4に述べた近似計算を導入したことにより、補正量を算出するために要する計算量を格段に減少させることができ、さらに非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【0165】（第2の実施の形態）上記第1の実施の形態では、電圧降下を補正するための補正量をいくつかの近似を導入することにより小規模なハードウェアで計算をおこない、それに基づいて画像信号に補正量を加算し、電圧降下の補正を行うものであった。

【0166】発明者らは、第1の実施の形態の構成にお

いて、画像信号に補正量を加算をしたことによりオーバーフローが起きないように、リミット手段を設けることによりさらに効果があることを見出した。

【0167】図16には、本発明の第2の実施の形態が示されている。図16(a)は、本実施の形態の表示回路の一部であって、13は信号切り替え部、9はデータ配列変換部、14は補正量算出手段、12は演算部、20は本実施の形態のリミット手段である。

【0168】上記第1の実施の形態では信号切り替え部13から、データ配列変換部9及び補正量算出手段14へ直接画像信号RGBを供給していたが(図4)、本実施の形態では図16(a)に示すように両者の間に制限手段としてのリミット手段20を新たに設けている。

【0169】その他の構成および作用については第1の実施の形態と同一なので、同一の構成部分については同一の符号を付して、その説明は省略する。

【0170】リミット手段20は、入力された画像信号を例えば、図16(b)のように変換し、画像信号の最大値を制限する回路である(なお本実施の形態では、入力された画像信号を8ビットとし、0~255までの範囲の値をとるものとする)。これにより、入力画像信号R、G、Bは、それぞれ最小0から最大200までの画像信号R'、G'、B'へと変換され、データ配列変換部9及び補正量算出手段14へと供給される。

【0171】補正量算出手段14及び演算部12では、第1の実施の形態と同様補正量が算出され、画像データに補正を加える。

【0172】本実施の形態の画像表示装置において、電圧降下の補正量を算出したところ、電圧降下の補正量は、表示パネルに全白を表示した際に発生し、その補正量の最大値は50であった。したがって、補正量算出手段14及び演算部12により画像データに補正量を加算した場合であっても、補正後の画像データは最大でも250(=200+50)に抑えられるので、補正を行うことによるオーバーフローが起きることはなく、画像を表示したところ非常に良好であった。

【0173】(第3の実施の形態)上記第2の実施の形態では、電圧降下補正量にもとづいて画像データを補正する際に、オーバーフローしないよう、予め画像データがある値以下に制限し、それに補正量を加算した例であった。

【0174】図17に示す本発明の第3の実施の形態においては、第2の実施の形態とは別の構成によりオーバーフローを防止している。

【0175】同図は、本実施の形態の表示回路の一部であって、13は信号切り替え部、9はデータ配列変換部、14は補正量算出手段、12は演算部、21は本実施の形態の制限手段たるリミット手段である。

【0176】上記第2の実施の形態では演算部12からシフトレジスタ5へ直接データを供給していたが、本実

施の形態では演算部12とシフトレジスタ5の間にリミット手段21を新たに設けている。

【0177】その他の構成および作用については第1の実施の形態と同一なので、同一の構成部分については同一の符号を付して、その説明は省略する。

【0178】本実施の形態の演算部12では、第1の実施の形態に述べた演算が行われるが、本実施の形態では、演算部12での処理によりオーバーフローが起きないように、入力画像データRGBもしくはDataよりもデータのデータ幅(ビット数)を多くした(例えば、入力画像データを8ビットとすると、演算部の演算は9ビットとした。))。

【0179】本実施の形態の画像表示装置において、電圧降下の補正量を算出したところ、電圧降下の補正量は、表示パネルに全白を表示した際に発生し、その大きさは最大で50であった。したがって画像信号にこれを加算したところ、補正された画像信号は、最大で305(=255+50)となった。

【0180】リミット手段21は、演算部12によって補正された画像信号を図17(b)のように変換する手段である。すなわち、0~305の値をとる入力画像データDout'を0~255の値に線形変換するものである。なお、306以上の値が入力された場合には一律に255を出力する。

【0181】このようにリミット手段21を設けたことにより、補正された画像信号は、最大255に制限される。このようなリミット手段21により画像信号をリミットしたところ、補正を施したことによるオーバーフローがなく、良好に画像の表示ができた。

【0182】(第4の実施の形態)上記第1の実施の形態は、各列アドレスに対する電圧降下補正量を画像データにデジタル的に加算することにより、変調信号の振幅に電圧降下量を反映させた例である。

【0183】本実施の形態では、同じ効果を得るための構成として、変調手段8のDAコンバータにアナログオフセット端子を設け、前記電圧降下補正量をD/A変換し、変換されたアナログ電位を変調手段8のオフセットに供給する構成としている。このように、アナログ的に加算することによっても上記実施の形態と同様な効果が得られることを本発明者らは確認している。なお、その他の構成および作用については第1の実施の形態と同一である。

【0184】電圧降下量をD/A変換する際には、電圧降下補正量が列配線方向に対して上に凸の連続的な量であるという性質(図8(b))から、すべての列配線に対してDAコンバータを設けなくてもよい。例えばK列(Kはある整数)に対して1つ、デジタル電圧降下量をアナログに変換するDAコンバータを設け、それにより変調手段8のオフセット量を調整しても良い。また上記の複数のDAコンバータの間に、複数の抵抗を直列に

接続することにより電圧を分圧し、その分圧により得られた電位を変調手段8のオフセット端子に供給しても良い。

【0185】このような構成にすれば、画像データを補正しないため、第2及び第3の実施の形態で述べたリミット手段などは設ける必要がなく、また、画像データのデータ幅をすべて画像データに用いることができるため、補正をおこなうことにより実効的な階調数が減少してしまうことがないというメリットがある。

【0186】（第5の実施の形態）上記第1～第4の実施の形態はいずれも、画像信号に電圧降下補正量を加算して、各列配線に印加する変調信号の振幅を制御することにより、電圧降下の補正を行うものであった。

【0187】本実施の形態は、画像パターンに応じて発生する行配線上の電圧降下量を比較的小さな回路規模で計算し、それに基づいて各列配線に印加する変調信号のパルス幅を制御することにより、電圧降下の影響による画像の劣化を改善するものである。すなわち、本実施の形態では上述した冷陰極素子の第三の特性を利用している。なお、本実施の形態の変調手段は上記第1の実施の形態と同様、電圧振幅変調手段である。

【0188】以下に図面を参照して本実施の形態に係る画像表示装置の構成を説明するが、上記第1の実施の形態と同様の構成部分については同一の符号を付して、その説明は省略するものとする。

【0189】〈システム全体と各部分の機能説明〉図18は本実施の形態に係る画像表示装置の回路構成の概略を示すブロック図である。同図において、1は表示パネル、 $D \times 1 \sim D \times M$ 及び $D \times 1' \sim D \times M'$ は表示パネル1の行配線の端子、 $Dy1 \sim DyN$ は表示パネル1の列配線の端子、 Hv はフェースプレート107とリアプレート105の間に加速電圧を印加するための高圧端子、 Va は高圧電源、2は走査回路、3は同期信号分離回路、4はタイミング発生回路、7は同期分離回路により $YPbPr$ 信号をRGB信号に変換するためのRGB変換回路、13はHDのRGB信号とVGA信号とを切り替えるための信号切り替え部、5は画像データ1ライン分のシフトレジスタ、6は画像データ1ライン分のラッチ回路、10はコントローラである。

【0190】また、15は本実施の形態の補正量算出手段、16は本実施の形態の印加時間決定手段である演算部、17はパルスデータ用のシフトレジスタ、18はパルス幅変調回路である。19は表示パネル1の列配線に変調信号を出力する変調手段19である。

【0191】〈補正量算出手段及び演算手段の説明〉信号切り替え部13から出力されたデジタル映像信号RGBはデータ配列変換部9に入力されるのと並列に補正量算出手段15に入力される。

【0192】補正量算出手段15は図19のように ΣIf 計算部400と電圧降下算出部420の2つの部分か

ら構成される。 ΣIf 計算部400の構成及び作用は第1の実施の形態と同様なので、ここでは説明を省略する。

【0193】本実施の形態の電圧降下算出部420は、図19に示したように電圧降下メモリ421とレジスタB1～B5によって構成した。

【0194】電圧降下メモリ421は、各ブロックのIFの大きさに対する $\Delta V1 \sim \Delta V5$ の値が格納されている変換テーブルであって、そのアドレスには ΣIf 計算部400からのブロックごとのIFの量（IF1～IF4）が接続されている。すなわち、各アドレスにIF1～IF4を入力するだけで、数3の計算結果である $\Delta V1 \sim \Delta V5$ を得ることができる。

【0195】なお、電圧降下メモリ421のアドレスへは、ブロックごとのIFの大きさのすべてのビットを入力しなくてもよく、例えば該データのMSB（Most Significant Bit：最上位ビット）から3ビットを入力するだけでも良い。この場合、ブロックの個数を4とすれば、3ビット \times 4+3ビット（ $\Delta V1 \sim \Delta V5$ の選択用）=15ビットのアドレスを持つメモリで簡単に構成することができる。

【0196】各ブロックのIFから電圧降下量 ΔV を計算する方法としては、第1の実施の形態のように積算器及び加算器などを用いて随時計算を行っても良いし、本実施の形態のように予め計算された値もしくは実測された電圧降下量を変換テーブルとして電圧降下メモリ421等に格納しておいても良い。

【0197】もちろん上記第1～第4の実施の形態において本実施の形態で使用した変換テーブルによって、電圧降下補正量を算出しても良いことは言うまでもない。

【0198】変換テーブルが格納された電圧降下メモリ421により求められた電圧降下量 $\Delta V1 \sim \Delta V5$ はタイミング発生回路4からのタイミング制御信号に基づいて、適宜レジスタB1～B5へ格納される。

【0199】〈演算部の詳細〉図20に本実施の形態の印加時間決定手段である演算部16の構成を示す。

【0200】演算部16は、補正量算出手段15により計算された各ノードにおける電圧降下量 $\Delta V1 \sim \Delta V5$ を直線近似し、パルス幅データCDataを出力する手段である。

【0201】演算部16では、第1の実施の形態と同様に、セレクト301、302、積算器303、304、加算器305、割り算器306、減算器307、308を用いて電圧降下量 ΔVf を直線近似により計算する。

【0202】計算された電圧降下量 ΔVf は ΔVf 対パルス幅変換テーブル310に入力される。 ΔVf 対パルス幅変換テーブル310には、電圧降下量 ΔVf に対するパルス幅の大きさに対応付けて記憶されている。

【0203】図21は ΔVf 対パルス幅変換テーブル310を説明するための図である。同図（a）は電圧降下

量 ΔV_f に対する放出電流 I_e の関係がプロットされている。図21(a)は図3に示した(駆動電圧)対(素子電流 I_f)の関係において、電位VSELからの電圧降下量 ΔV_f を横軸としたものである。なお、図21(a)では電圧降下量 ΔV_f を横軸としているため、図3と比較すると、左右が反転したような形状となっている。

【0204】また、図21(b)は ΔV_f 対パルス幅変換テーブル310に格納されている、図21(a)のグラフから求めた(電圧降下量)対(パルス幅)の値である。

【0205】本実施の形態の表示パネル1の場合、電圧降下の最大量は、すべての列配線に最大振幅の変調信号を投入したときであり、そのときの電圧降下量は、行配線の中央部で、 ΔV_f は0.5Vであり、そのときの放出電流量 I_e は、 $\Delta V_f=0V$ の時の80%であった(図21(a))。

【0206】本実施の形態では、図21(b)の ΔV_f 対パルス幅変換テーブル310の値を求めるにあたって、放出電流とパルス幅の積が一定となるようにパルス幅を求めた。すなわち、 $\Delta V_f=0.5V$ (電圧降下最大)の時のパルス幅を255、 $\Delta V_f=0.25V$ の時のパルス幅をPW1、 $\Delta V_f=0V$ の時のパルス幅をPW2としたときに、下記の式を満たすように求める。

$$\begin{aligned} 255 \times 80\% & \quad (\Delta V_f = 0.5V) \\ = PW1 \times 88\% & \quad (\Delta V_f = 0.25V) \\ = PW2 \times 100\% & \quad (\Delta V_f = 0V) \end{aligned}$$

【0207】上述の式より、PW1、PW2は下記のよう求められる。

$$\begin{aligned} PW1 &= 231 \\ PW2 &= 204 \end{aligned}$$

【0208】同様にして各電圧降下量に対するパルス幅の値を算出し、図21(b)に示すような変換テーブルを作成した。

【0209】以上のような変換テーブルを用いて電圧降下量をパルス幅の値に変換し、シフトレジスタ17へデータCDaataを転送した。

【0210】なお、本実施の形態では、パルス幅を8ビットで表した例を示したが、特にこれにこだわることはない。

【0211】上記では、図21(b)の変換テーブルにより変換を行ったが、例えば図22(a)や同図(b)に実線で示した変換テーブルを用いてもよい(同図では、図515(b)の変換テーブルを点線で表した)。

【0212】同図のテーブルでは電圧降下の補正は十分行われぬが、その反面、図21(b)のテーブルより、変調信号の時間幅を長く設定しているため、表示画像の輝度が低下しないという別のメリットがある。

【0213】例えば、コンピュータの画像を表示する際

には、電圧降下の影響は除去したいため、図21(b)の変換テーブルを用いる方が好ましいが、自然画などの映像を表示する際には、全体の表示輝度を高くしたいため、電圧降下の補正量の補正幅を少なめにした、図22(a)や同図(b)などのテーブルを用いた方が好ましい。

【0214】したがって、どのような変換テーブルを用いるかは、電圧降下による画像の劣化の程度と、表示画像全体の発光輝度や、表示画像の種類などを考慮して決定することが好ましい。

【0215】〈シフトレジスタ17、パルス幅変調回路18〉再び図18に戻って、シフトレジスタ17及びパルス幅変調回路18の説明を行う。

【0216】演算部16の出力である画像データCDaataは、シフトレジスタ17により、シリアルなデータフォーマットから、各列配線毎のバラレルな画像信号CD1~CDNへとシリアル/バラレル変換され、1水平期間が開始される直前に、タイミング信号Tstartによりパルス幅変調回路18にロードされる。パルス幅変調回路18はCD1~CDNに応じたパルス幅のパルス幅変調信号CD1~CDNを変調手段19へ出力する。

【0217】これらの動作タイミングはタイミング発生回路4からのタイミング制御信号Tsft、TLoad及びTstartに基づいて動作する。また、本例では、同一列に対する画像信号Dataとパルス幅データCDaataが同じタイミングでシフトレジスタに蓄積されるように全体のタイミングを作成したため、シフトレジスタ5及び17は同一のシフト信号で動作させたが特にこれにこだわることはない。

【0218】〈本実施の形態の変調手段〉ラッチ回路6の出力であるバラレル画像信号D1~DNは振幅変調手段19へと供給される。変調手段19は、図18に示したように、各列配線ごとにDAコンバータ(DAC)803とスイッチ804を備えている。DAC803は、図7に示すような入出力特性を備えている。前述のラッチ回路6はバラレル画像信号ID1~IDNを1水平期間に1回ロードするため、DAC803へのデータD1~DNも1水平期間に1回書き換えられることとなる。

【0219】前述のスイッチ804は、パルス幅変調回路18からのパルス幅変調信号CD1~CDNに基づいてON/OFFする。スイッチが短絡状態にあるときには、DAC803は出力を出さないように変調手段19を作製した。

【0220】〈各部の動作タイミング〉図23及び図24に各部の動作タイミングのタイミングチャートを示す。図24(a)、(b)、(c)はそれぞれ図23の504、505、506の部分の詳細に示したものである。

【0221】なお、同図においてHDは水平同期信号、

DotCLKはドットクロック、R、G、Bは入力切り替え部13からのデジタル画像信号、Dataはデータ配列変換後の画像信号、CDataは電圧降下補正量、TSFTはシフトレジスタ5及び17に、画像データData及び、CDataを転送するためのシフトクロック、TLoadはラッチ回路6へデータをラッチするためのロードパルス、Tstartはパルス幅変調回路18のカウントスタート信号、変調信号がAM1は列配線1へ供給される振幅変調信号の一例である。

【0222】1水平期間の開始とともに、信号切り替え部13からデジタル画像信号RGBが転送される。データ配列変換部9では1水平期間の間、画像データを記憶した後、表示パネル1の画素配置に合わせてRGBのデジタル画像信号の並び替えを行い次の水平期間に出力する。

【0223】デジタル画像信号RGBは同時に補正量算出手段15に入力される。補正量算出手段15は、画像信号RGBの入力とともにブロックごとの素子電流の総和を計算し、計算終了とともにレジスタA1～A4へ演算結果IF1～IF4を記憶させる。

【0224】最後のブロックのIF4の演算が終了するとともに、電圧降下量算出部では、数3にしたがって $\Delta V1 \sim \Delta V5$ の補正量を電圧降下メモリ421から随時読み出し、レジスタB1～B5に計算結果をストアする。

【0225】次の走査期間に移り、データ配列変換された画像データDataが演算部12へ転送されるのに同期して、演算部12では数4に基づいて、ノードとノードの間の補正量を直線近似によって計算し、各列における電圧降下量 ΔVf を算出する。算出された ΔVf は ΔVf 対パルス幅変換テーブル310に入力し、パルス幅データCDataへと変換され、シフトレジスタ17へTSftに同期して転送される。

【0226】シフトレジスタ17はTSftにしたがって、1水平期間分の画像データDoutを記憶するとともにシリアル／パラレル変換をおこなってパラレルなパルス幅データIW1～IWNをパルス幅変調回路18に出力する。

【0227】パルス幅変調回路18はTstartの立ち上がりにしたがってカウントをはじめ、カウントがデータIW_i ($i=1, 2, \dots, N$) になったと同時に、出力がLowからHighへ転じるようなパルス幅変調信号CD1～CDNを変調手段19に供給する。CD1の例を図23に図示する。変調手段19は、画像データD1～DNに応じた振幅の、CD1～CDNに応じたパルス幅の変調信号AM1～AMNを各列配線に出力した。

【0228】本実施の形態の画像表示装置（図18）は、このようなタイミングに従って画像の表示を行った。

【0229】このような画像表示装置により画像の表示を行ったところ、従来からの課題であった行配線における電圧降下による影響を抑制することができ、該電圧降下に起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

【0230】また、本実施の形態の電圧降下補正手段及び演算手段を用いたことにより、補正量を算出するために要する計算量を格段に減少させることができ、さらに非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【0231】

【発明の効果】以上説明したように、本発明は、行配線上に複数のノードを設け、入力された1行分の画像信号に基づき各ノードにおける電圧降下量を算出し、その電圧降下量に基づき複数の列配線の各々に印加する素子駆動電圧を補正するので、従来からの課題であった、行配線上の電圧降下による表示画像の劣化を改善することができた。

【0232】また、電圧降下の補正量を算出するための計算量を格段に減少させることができ、さらに非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の画像表示装置に用いた表示パネルの概略斜視図である。

【図2】マトリクス配線の模式図である。

【図3】表面伝導型放出素子の特性を示す図である。

【図4】本発明の第1の実施の形態の画像表示装置の回路構成の概略を示すブロック図である。

【図5】同実施の形態の走査回路の概略構成図である。

【図6】同実施の形態のデータ配列変換部の概略構成図である。

【図7】同実施の形態の変調手段のDACの入出力特性を示す図である。

【図8】行配線における電圧降下の様子を説明するための図である。

【図9】第1の実施の形態における電圧降下量の算出方法を説明するための図である。

【図10】同実施の形態の電圧降下量の算出方法において導入した近似モデルを示す図である。

【図11】同実施の形態の補正量算出手段の概略構成図である。

【図12】数4を模式的に示した図であって、ノード間の線形補間を説明する図である。

【図13】第1の実施の形態の演算部の概略構成図である。

【図14】同実施の形態の画像表示装置の各部の動作タイミングを示すタイミングチャートである。

【図15】同タイミングチャートの要部の詳細図である。

【図16】(a)は、本発明の第2の実施の形態の画像表示装置の回路構成の概略を示すブロック図であり、

(b)は同実施の形態のリミット手段の入出力特性を示す図である。

【図17】(a)は、本発明の第3の実施の形態の画像表示装置の回路構成の概略を示すブロック図であり、

(b)は同実施の形態のリミット手段の入出力特性を示す図である。

【図18】本発明の第5の実施の形態の画像表示装置の回路構成の概略を示すブロック図である。

【図19】同実施の形態の補正量算出手段の概略構成図である。

【図20】同実施の形態の演算部の概略構成図である。

【図21】同実施の形態の $\Delta V f$ 対パルス幅変換テーブルを説明するための図である。

【図22】 $\Delta V f$ 対パルス幅変換テーブルの変形例を示す図である。

【図23】第5の実施の形態の画像表示装置の各部の動作タイミングを示すタイミングチャートである。

【図24】同タイミングチャートの要部の詳細図である。

【図25】従来の画像表示装置の回路構成の概略を示すブロック図である。

【符号の説明】

- 1 表示パネル
- 2, 2' 走査回路
- 3 同期信号分離回路
- 4 タイミング発生回路
- 5, 17 シフトレジスタ
- 6 ラッチ回路
- 7 RGB変換回路
- 8, 19 変調手段
- 9 データ配列変換部
- 10 コントローラ
- 12 演算部(画像信号補正手段)

13 信号切り替え部(入力手段)

14, 15 補正量算出手段(算出手段)

16 演算部(配線電圧降下量算出手段)

18 パルス幅変調回路

20, 21 リミット手段(制限手段)

101 基板

102, 102a 表面伝導型放出素子(冷陰極素子)

103 行配線

104 列配線

105 リアプレート

107 フェースプレート

108 蛍光膜(発光手段)

109 メタルバック

201 スイッチ

202 シフトレジスタ

301, 302 セレクタ

303, 304 積算器

305 加算器

306 割り算器

307, 308 減算器

309 加算器(加算手段)

310 $\Delta V f$ 対パルス幅変換テーブル(印加時間決定手段)

400 $\Sigma I f$ 計算部(第1演算手段)

401 変換テーブル(変換手段)

402 セレクタ

403 加算器

410 電圧降下算出部(第2演算手段)

411 セレクタ

412 積算器

413 加算器

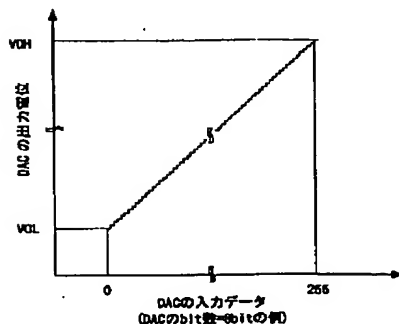
414 パターンメモリ

420 電圧降下算出部(第2演算手段)

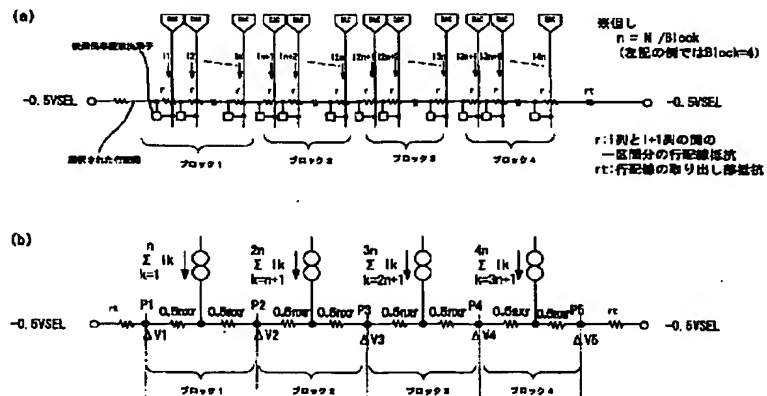
421 電圧降下メモリ

P1~P5 ノード

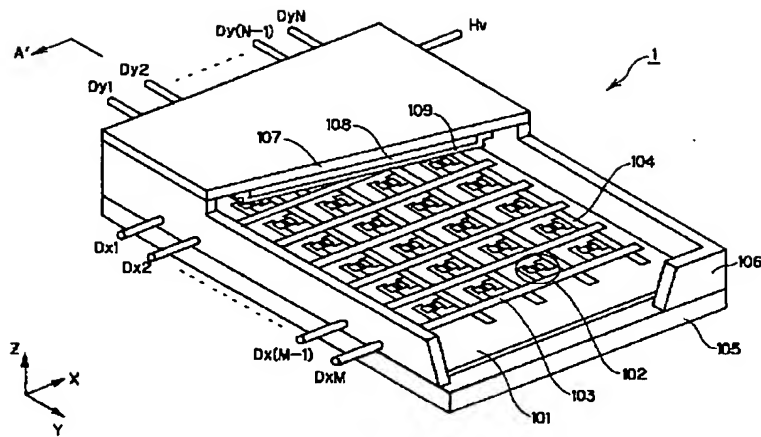
【図7】



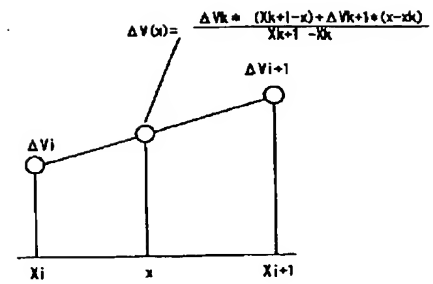
【図10】



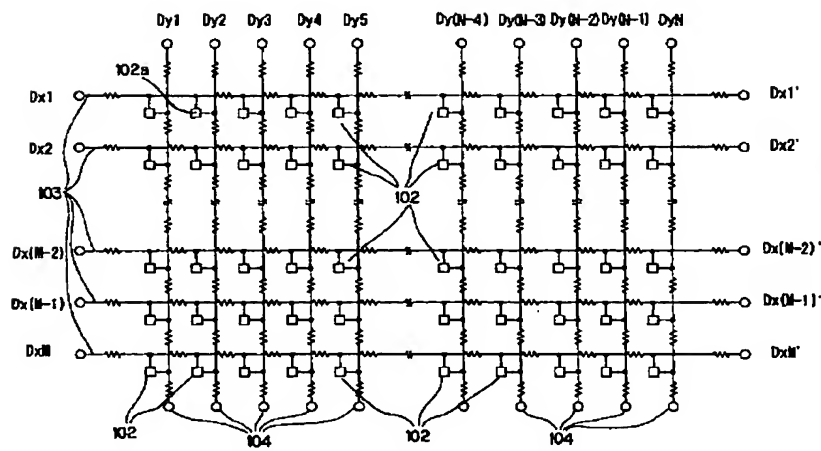
【図1】



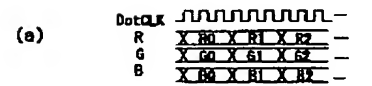
【図12】



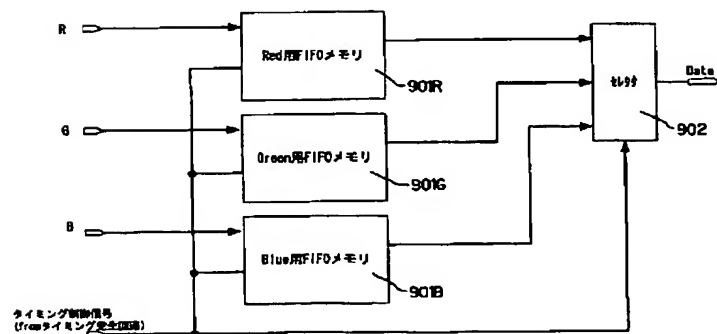
【図2】



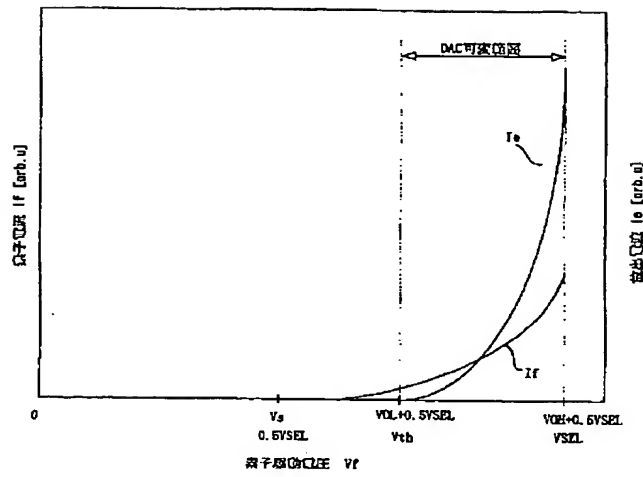
【図15】



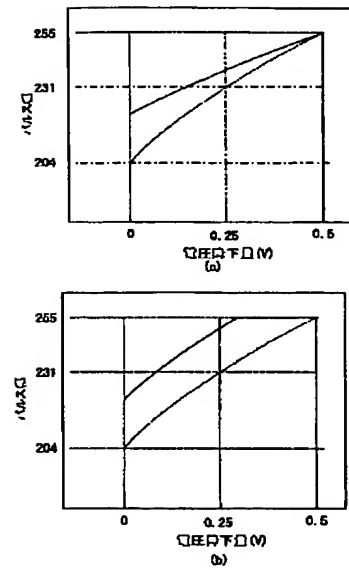
【図6】



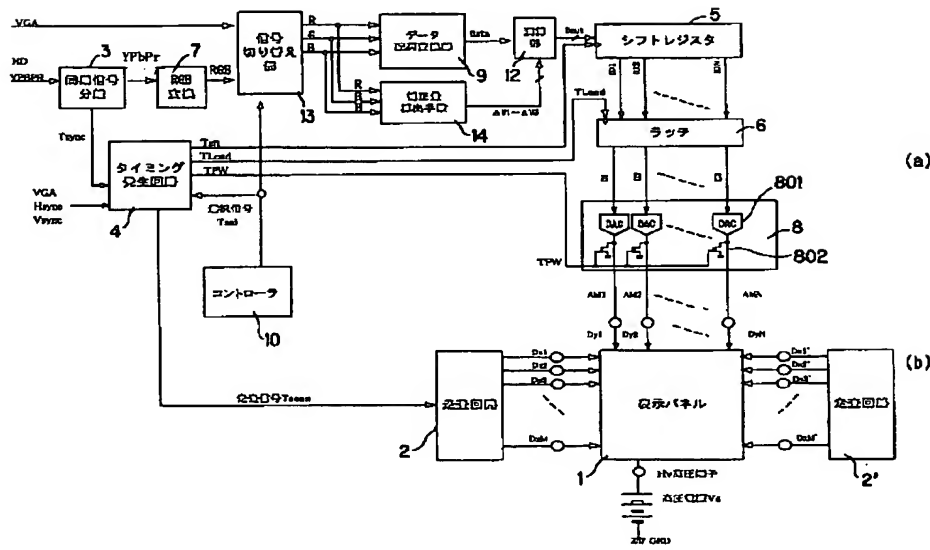
【図3】



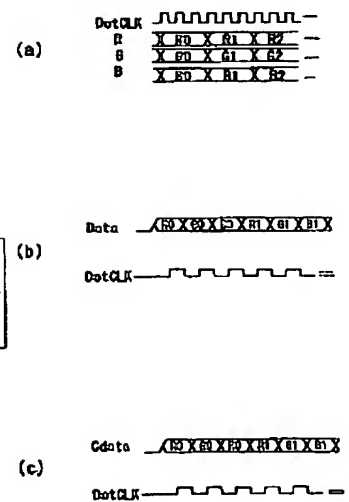
【図22】



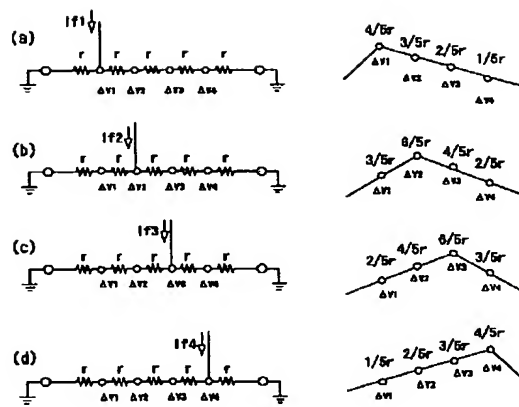
【図4】



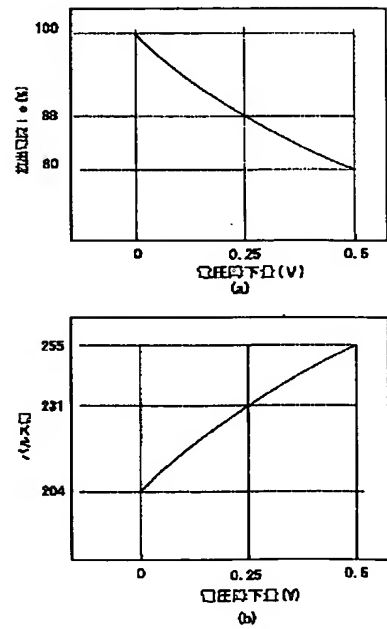
【図24】



【図 9】



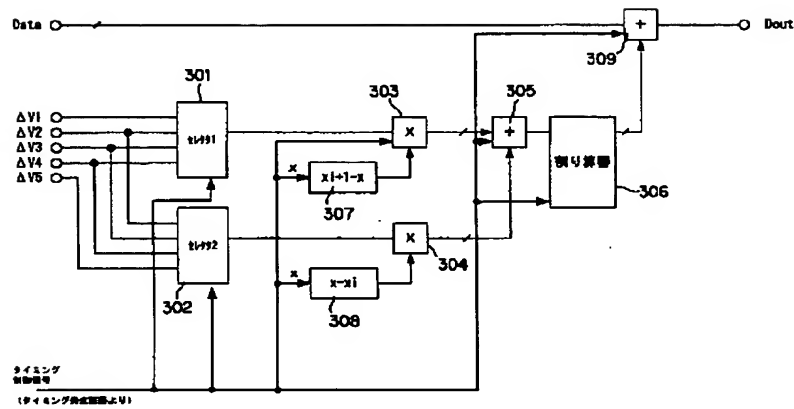
【図 2 1】



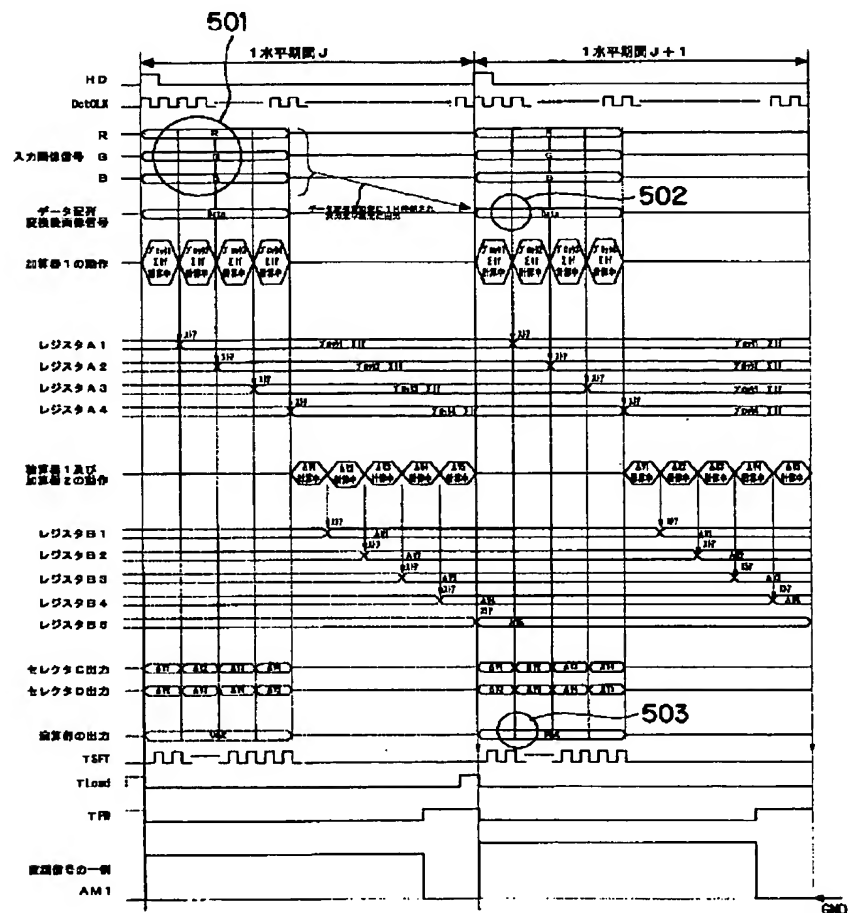
列アドレス



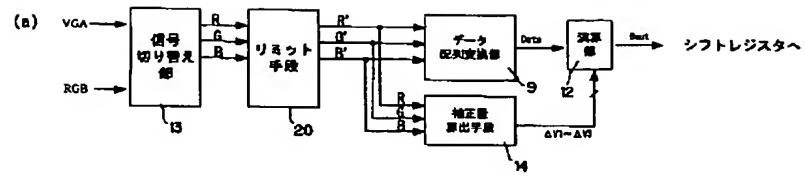
【図13】



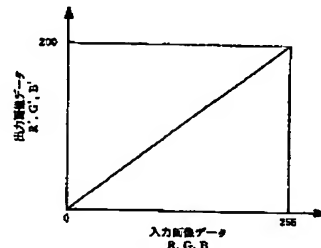
【図14】



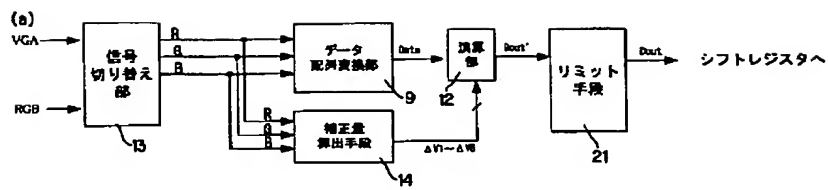
【図16】



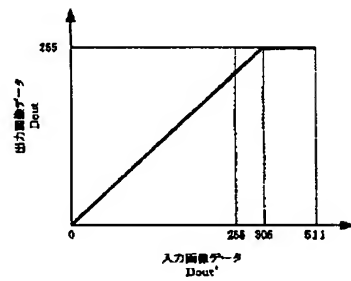
(b)



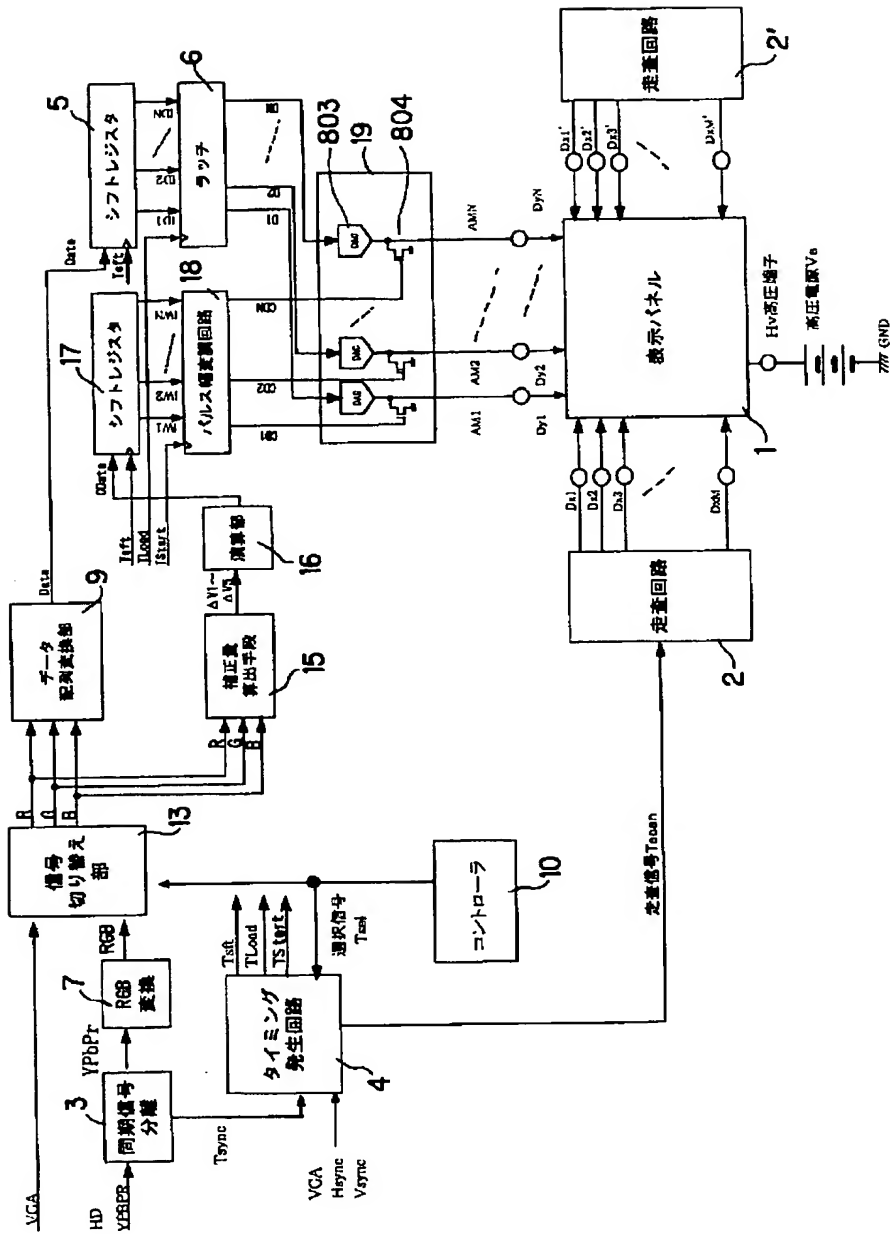
【図17】



(b)

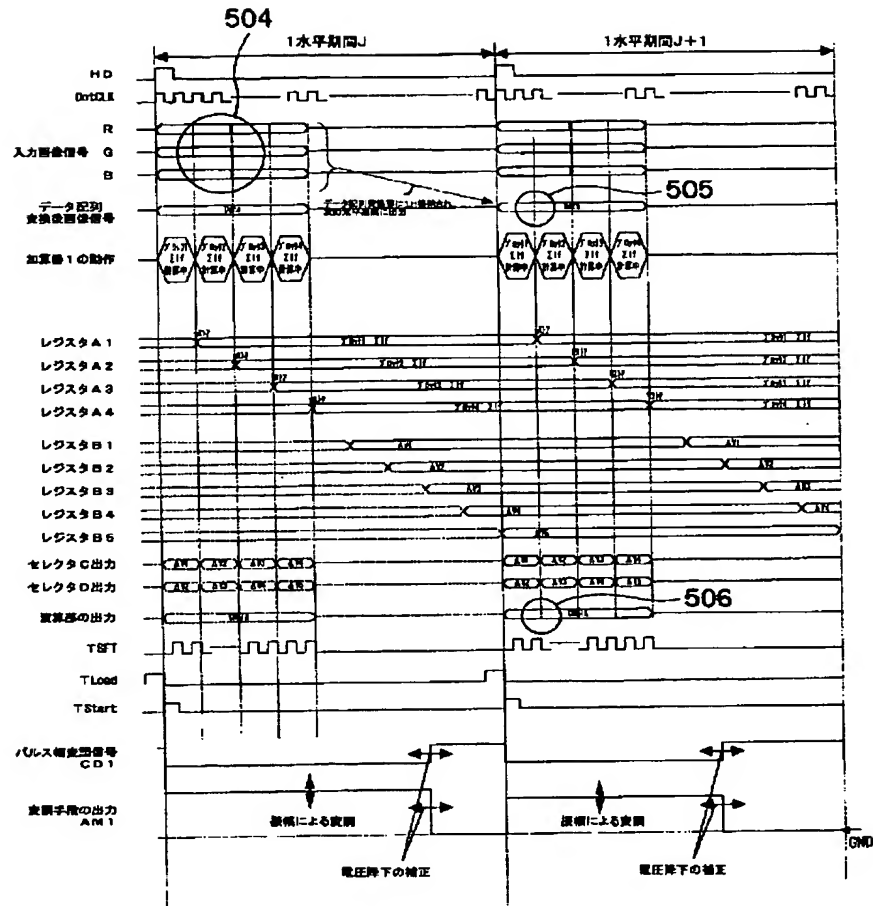


【圖 18】

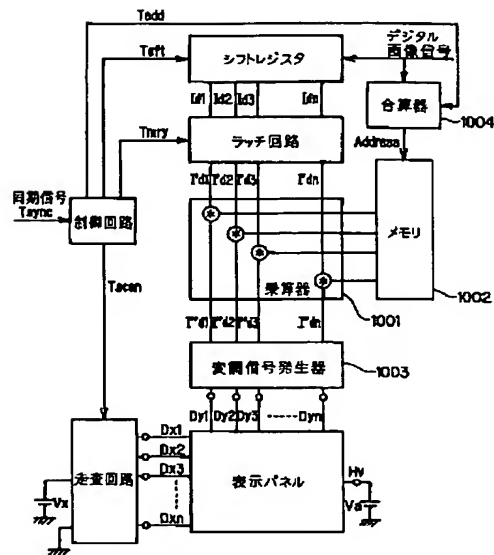


[illegible][illegible]

【図23】



【図25】



フロントページの続き

(51) Int. Cl. 7
G09G 3/22

識別記号

F I
G09G 3/22

特マコード(参考)

D
H